

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-325162

(43)Date of publication of application : 25.11.1994

(51)Int.Cl. G06F 15/66
G06F 15/62
G06F 15/64
H04N 7/18
// H01L 21/66

(21)Application number : 05-109485

(71)Applicant : NIKON CORP

(22)Date of filing : 11.05.1993

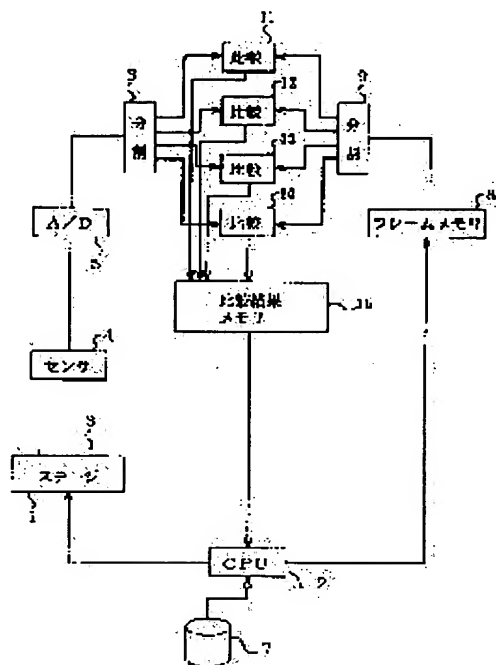
(72)Inventor : FUJIMORI YOSHIHIKO

(54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To provide an image processor which performs image processing at a high speed without using plural image pickup means and generates no unprocessable area halfway in image data.

CONSTITUTION: The image processor is provided with a sensor 4 which outputs image data on an object 3 of photography, a dividing circuit 6 which divides the image data outputted by the sensor 4 into data on plural areas whose border parts overlap with each other and outputs them in parallel, and comparing circuits 11-14 which compare the data from the dividing circuit 6 with data from a dividing circuit 9 in parallel. The dividing circuit 6 is provided with two groups of memories, capable of storing the whole data, as many as the divisions of the image data and when one memory group inputs image data, data are outputted from the other memory group. Memory output operation is so controlled that each memory outputs data corresponding to one mutually different area among the divided areas of the image data and data are outputted from the respective memories at the same time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-325162

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/66	K	8420-5L		
15/62	4 0 0	9287-5L		
15/64	4 5 0 A			
	D			
H 0 4 N 7/18	K			

審査請求 未請求 請求項の数 4 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平5-109485

(22) 出願日 平成5年(1993)5月11日

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72) 発明者 藤森 義彦

東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

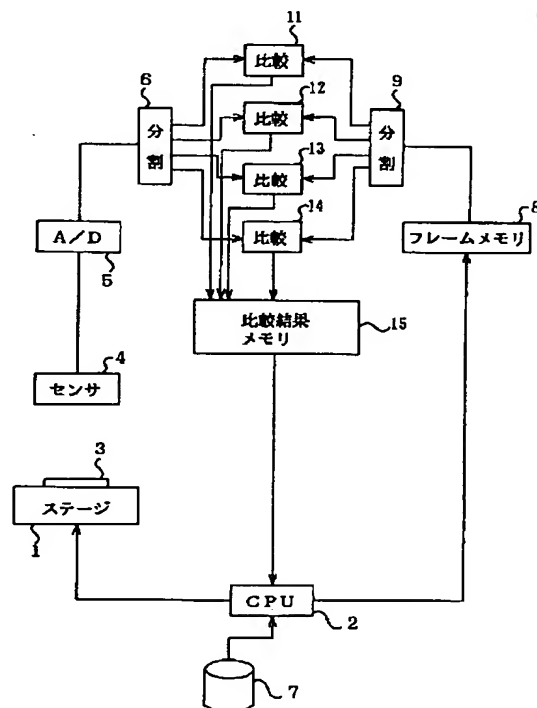
(74) 代理人 弁理士 永井 冬紀

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 複数の撮像手段を用いることなく高速で画像処理を行なうことができ、画像データの中に処理不可能領域が発生しない画像処理装置を提供する。

【構成】 撮影対象3の画像データを入力するセンサ4と、センサ4の出力する画像データを互いの境界部が重複した複数の領域のデータに分割して並列に出力する分割回路6と、分割回路6からのデータと分割回路9からのデータとを並行して比較する比較回路11～14とを設ける。分割回路6には、画像データ全体を取り込み可能なメモリを画像データの分割数と同数設けたメモリ群を2組設け、一のメモリ群が画像データを取り込む時、他のメモリ群からデータを入力させる。各メモリが画像データの分割領域のうち互いに異なるいずれかの領域に対応するデータを入力するように、かつ各メモリの出力が同時に行なわれるようにメモリ出力動作を制御する。



【特許請求の範囲】

【請求項 1】 撮影対象の画像データを出力する撮像手段を備えた画像処理装置において、

前記撮像手段の出力する画像データを互いの境界部が重複した複数の領域のデータに分割して並列に出力する画像データ分割手段と、

前記画像データ分割手段から出力される分割された画像データを並列処理する画像処理手段と、を備えることを特徴とする画像処理装置。

【請求項 2】 前記画像データ分割手段は、前記画像データの全体を取り込み可能なメモリを前記画像データの分割数と同数設けたメモリ群と、前記メモリ群の各メモリが前記画像データの分割領域のうちで互いに異なるいずれかの領域に対応するデータを出力するように、かつ各メモリの出力が同時に行なわれるように前記メモリ群の出力動作を制御するメモリ制御手段と、を備えることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記メモリ群が複数設けられ、前記メモリ制御手段は、いずれかのメモリ群が画像データを取り込むとき他のいずれかのメモリ群が前記分割された画像データを出力するように前記複数のメモリ群のデータ入出力動作を制御することを特徴とする請求項 2 記載の画像処理装置。

【請求項 4】 前記撮像手段の撮影対象の欠陥の有無を判断するための参照画像データを取り込む参照画像データ取り込み手段と、前記参照画像データを前記画像データ分割手段で分割される画像データと比較可能なデータに分割して並列に出力する参照画像分割手段とを備え、前記画像処理手段は、前記参照画像分割手段から出力されるデータと前記画像データ分割手段から出力されるデータとを比較して前記撮影対象中の欠陥の有無を判断することを特徴とする請求項 1～3 のいずれか 1 項記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体の欠陥検査などに使用される画像処理装置に関する。

【0002】

【従来の技術】この種の装置として、例えば特開昭 62-211546 号公報に記載されているように、単一の撮像手段、例えばラインセンサで撮像した画像データを単一の処理回路に供給して欠陥検査や特徴検出などの画像処理を行なうものがある。

【0003】

【発明が解決しようとする課題】上述した装置では、ラインセンサが画像データを出力する速度より処理回路での処理速度の方が遅く、このため装置全体の処理速度が処理回路の速度で制限されることが一般的である。この

処理速度を上げるには、複数のセンサで撮影対象の異なる部分を撮影し、各センサからの出力を複数の処理回路で並列処理することが考えられる。しかし、この場合には複数のセンサの配置に応じて画像データの分割位置が変化するのでセンサを精度良く位置合わせする必要があり、調整作業が極めて煩わしい。しかも、画像の周縁部については、微分処理やテンプレートマッチング等の処理を実行できないことが多く、単純に画像データを分割したのでは画像中の各分割領域の境界位置に処理不可能領域が発生するおそれ大きい。この処理不可能領域は画像データの分割数を増やすほど増加する。

【0004】本発明の目的は、複数の撮像手段を用いなくとも高速で画像処理を行なうことができ、画像データの中間位置での処理不可能領域の発生も防止できる画像処理装置を提供することにある。

【0005】

【課題を解決するための手段】一実施例を示す図 1 に対応付けて説明すると、本発明は、撮影対象 3 の画像データを出力する撮像手段 4 を備えた画像処理装置に適用される。そして、上述した目的は、撮像手段 4 の出力する画像データを互いの境界部が重複した複数の領域のデータに分割して並列に出力する画像データ分割手段 6 と、画像データ分割手段 6 から出力される分割された画像データを並列処理する画像処理手段 11～14 とを備えることにより達成される。

【0006】請求項 2 の装置では、図 2 および図 4 に示すように、画像データ分割手段 6 が、画像データ D の全体を取り込み可能なメモリ 611～614（621～624）を画像データ D の分割数と同数設けたメモリ群 61（62）と、メモリ群 61（62）の各メモリ 611～614（621～624）が画像データ D の分割領域 B1～B4 のうちで互いに異なるいずれかの領域に対応するデータ d1～d4 を出力するように、かつ各メモリ 611～614（621～624）の出力が同時に行なわれるようにメモリ群 61（62）の出力動作を制御するメモリ制御手段 63 とを備える。請求項 3 の装置では、メモリ群 61、62 が複数設けられ、メモリ制御手段 63 は、いずれかのメモリ群 61 が画像データ D を取り込むとき他のいずれかのメモリ群 62 が分割された画像データ d1～d4 を出力するように複数のメモリ群 61、62 のデータ入出力動作を制御する。また、図 1 に対応付けて説明すると、請求項 4 の装置では、撮像手段 4 の撮影対象 3 の欠陥の有無を判断するための参照画像データを取り込む参照画像データ取り込み手段 8 と、参照画像データを画像データ分割手段 6 で分割される画像データと比較可能なデータに分割して並列に出力する参照画像分割手段 9 とが設けられ、画像処理手段 11～14 は、参照画像分割手段 9 から出力されるデータと画像データ分割手段 6 から出力されるデータとを比較して撮影対象 3 中の欠陥の有無を判断する。

【0007】

【作用】撮像手段4が撮影対象3の画像データDを出力すると、画像データ分割手段6が画像データDを複数に分割して並列に出力し、分割されたデータを処理回路11～14が並列処理する。画像データ分割手段6でのデータの分割領域の境界部が互いに重複するので、一方のデータの処理不可能領域を他方のデータの処理可能領域と重複させて画像データの間中位置での処理不可能領域の発生を防止することができる。

【0008】請求項2の装置では、画像データ分割手段6への画像データDの取り込み時にはメモリ群61(62)の各メモリ611～614(621～624)に画像データDの全体が取り込まれる。画像データ分割手段6からのデータ出力時には、メモリ群61(62)の各メモリ611～614(621～624)が画像データDの分割領域のうちで互いに異なるいずれかの領域に対応するデータd1～d4を出力するように、かつ各メモリ611～614(621～624)の出力が同時に行なわれるようにメモリ群61(62)の出力動作が制御される。請求項3の装置では、撮像手段4から画像データDを周期的に出力させる場合、いずれかのメモリ群61が現在出力中の画像データDを取り込むとき、他のいずれかのメモリ群62が既に取り込まれた画像データDを分割したデータd1～d4を並列に出力する。請求項4の装置では、撮像手段4の撮影対象3の欠陥の有無を判断するための参照画像データが参照画像データ取り込み手段8に取り込まれ、取り込まれた参照画像データが参照画像分割手段9により画像データ分割手段6で分割される画像データと比較可能なデータに分割されて並列に出力される。そして、画像処理手段11～14により、参照画像分割手段9から出力されるデータと画像データ分割手段6から出力されるデータとが比較されて撮影対象3中の欠陥の有無が判断される。

【0009】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

【0010】

【実施例】以下、図1～図5を参照して本発明の一実施例を説明する。図1は、本発明の画像処理装置を半導体製造用のレチクルやマスクの欠陥検査装置に適用した例を示すものである。図において1は水平面内を移動可能なステージであって、その動作は中央処理演算装置(以下、CPUと呼ぶ。)2で制御される。ステージ1の上にはレチクルやマスクなどの試料3が載置される。4は試料3の任意の列を撮像してその輝度分布に対応した画像データを出力するセンサである。このセンサ4は2048画素のCCDラインセンサであって、内部は8チャンネルに区分されている。センサ4の各チャンネルはそれぞれ10MHzにて出力動作が可能とされ、したが

ってセンサ4全体では画像データが80MHzで出力される。CPU2はセンサ4の駆動周期に同期してステージ1を撮影方向と直交する方向へ移動させる。これにより、試料3がステージ1の移動方向に順に走査されて試料3の全面が撮影される。

【0011】センサ4から出力される画像データはAD変換器5で8ビットのデジタル信号に変換された後、分割回路6に入力される。分割回路6はセンサ4の各チャンネルからのデータを一旦合成し、合成された画像データを互いの境界部が重複する4つのブロックのデータに分割する。分割回路6の詳細は後述する。

【0012】7は試料3に形成されるパターンの設計データを格納するディスクである。設計データは、一辺がセンサ4の画素数と等しい長さ(2048画素)、他の一辺が試料3の全面の長さ又はそれを適当に分割した長さの領域毎に分割されてディスク7に格納されている。CPU2は、試料3の検査と同期してディスク7に書き込まれた設計データを読み込み、該データをAD変換器5と同数のビット(8ビット)に展開してフレームメモリ8へ出力する。すなわち、フレームメモリ8にはディスク7の対応領域のデータを8ビットに展開したデータが検査と同期して書き込まれる。フレームメモリ8は、CPU2からの制御信号にしたがってセンサ4の現時点での試料走査位置に対応する位置の設計データを分割回路9へ出力する。分割回路9の詳細も後述する。

【0013】分割回路6、9で4分割されたデータは4つの比較回路11～14へ並列に出力される。比較回路11～14は分割回路6、9から出力されたデータを比較し、センサ4からの画像データ中の欠陥を検出する。検出された欠陥に関する情報は比較結果メモリ15に一旦記憶され、CPU2に読み出されて不図示の表示装置で表示される。

【0014】分割回路6、9について説明する。なお、分割回路6、9は入力データが異なるのみで構成は同一であるため、以下では分割回路6について説明する。図2(a)に示すように、分割回路6はセンサ4から出力される2048画素の1列の画像データDを、1ブロックが536画素で互いの境界部が32画素ずつ重複した4つのブロックB1～B4に分割する。このため、図2(b)に示すように、センサ4より出される画像Pはセンサ4の配列方向(図の左右方向)に4つの領域B1～B4に分割され、各領域B1～B4の境界には32画素分の重複領域Rが生じる。ブロックB1～B4の重複画素数の決め方は後述する。なお、図3に示すように、比較回路20の作り易さを考慮して1列の画像データDを1ブロックが512画素で互いの境界部が32画素ずつ重複した4つのブロックB11～B14に分割することもできる。この場合には、2048画素からなる画像データDのうち中央の1952画素のみを画像処理に使用する。

【0015】図4は分割回路6のメモリ構造を示すものである。分割回路6は4つのメモリ611～614で構成される第1のメモリ群61と、4つのメモリ621～624で構成される第2のメモリ群62とを有する。メモリ611～614、621～624は同一サイズのメモリであって、AD変換器6から出力される2048画素×8ビットの画像データDの全体を等しく取り込み可能とされる。また、メモリ611～614、621～624には、各メモリ群61、62毎に図2で説明した画像データDのブロックB1～B4のうちのいずれか一の領域が出力領域として割り当てられている。すなわち、図4に斜線で示すように、第2のメモリ群62では、第1のメモリ621に対して第1のブロックB1に対応する領域が、第2のメモリ622に対して第2のブロックB2に対応する領域が、第3のメモリ623に対して第3のブロックB3に対応する領域が、第4のメモリ624に対して第4のブロックB4に対応する領域がそれぞれの出力領域として割り当てられている。第1のメモリ群61も同様である。

【0016】第1、第2のメモリ群61、62は、センサ4が画像データDの出力を開始すると、駆動制御部63の指示にしたがってデータの入出力動作を繰り返す。第1のメモリ群61と第2のメモリ群62の入出力のタイミングは正反対に設定され、第1のメモリ群61が現在の走査に対応する画像データDを取り込むとき、第2のメモリ群62は前回の走査で取り込んだ画像データDを分割したデータd1～d4を並列に出力する。第2のメモリ群62が入力動作を行なうときは第1のメモリ群61がデータd1～d4を並列に出力する。なお、以上から明らかなように、メモリ611～614、621～624は、それぞれの出力領域に対応する部分以外は画像データDの記憶を要しない。従って、この記憶を要しない部分のメモリはなくてもよい。

【0017】駆動制御部63によるメモリ群61、62の駆動周波数は、画像データDの書き込み時とデータd1～d4の読み出し時とで異なる。書き込み時の駆動周波数はセンサ4の駆動周波数と同じく80MHzであるが、読み出し時は出力データd1～d4が画像データDの約1/4の大きさであるため、書き込み時の約1/4の周波数でよい。実施例ではブロックB1～B4の重複画素数を見込んで例えば21MHzに設定する。なお、画像データDを図3のように分割したときはメモリ群61、62の読み出し周波数を20MHzに設定できる。図2の分割パターンであっても、例えばセンサ4の駆動周波数を77MHzとすれば読み出し周波数を20MHzに設定できる。一般に、メモリ群61、62の書き込み周波数Fwと読み出し周波数Frは、センサ4の画素数をM、ブロックB1～B4の画素数をNとして、 $Fr = Fw \times N / M$ をほぼ満たすように設定する。

【0018】なお、センサ4の駆動周波数80MHzにて画像データDの書き込みができないときは、メモリ611～614、621～624を分割して画像データDの異なる部分を並列に書き込めばよい。例えば2048画素×8ビットの画像データDを2つに分割し、前半の1024画素×8ビットのデータと後半の1024画素×8ビットのデータとを並列に40MHzで書き込む。センサ4の8チャンネルの出力をそのまま8並列で書き込んでもよい。ただし、画像データDの書き込みを分割するとメモリ群61、62がさらに細分されてメモリの必要個数が増加することがある。

【0019】分割回路9では画像データDに代えてフレームメモリ8からのデータがメモリ群に交互に書き込まれ、ブロックB1～B4に対応するデータに分割されて並列に出力される。なお、フレームメモリ8に設計データを展開する速度が不足する場合には、フレームメモリ8を互いの境界分が重複しない複数の領域に分割して設計データを並列に書き込み、フレームメモリ8から出力される分割データを分割回路9にて一旦合成してから画像データDと同様に分割すればよい。

【0020】比較回路11～14は、分割回路6からのデータの2値化やエッジ強調処理等を行なった上で試料3の画像中のパターンPT（図2（b）参照）の屈曲を検出して分割回路9から出力されるデータと照合し、欠陥の有無を判断する。この処理時にはパターンマッチングを行なうなどの理由によりデータの周縁部、実施例では図2に示す各ブロックB1～B4の両端部が検査不可能となることが多い。この検査不可能な領域の画素数は比較回路11～14での処理から予測でき、ブロックB1～B4の重複画素数はかかる画素数に基づいて決定される。すなわち、図2（c）に示すように、隣接するブロックBn、Bn+1の検査不可能領域がXn、Xn+1としたとき、これらを除いた領域が互いに接するかまたは僅かに重複するように重複領域Rの画素数を定める。これにより、一方のブロックBnの検査不可能領域Xnが他方のブロックBn+1の検査可能領域に、他方のブロックBn+1の検査不可能領域Xn+1が一方のブロックBnの検査可能領域と重なり合い、ブロックBn、Bn+1の境界位置での検査不可能領域の発生が防止される。なお、比較回路11～14を20MHz程度の周波数で動作させることは容易である。

【0021】本実施例では、画像データDを4つに分割して比較回路11～14に与えるので、比較回路11～14を約20MHzの低速で駆動させても装置全体としてはセンサ4の駆動周波数と同一の約80MHzの高速で欠陥検査を行なうことができ、検査の効率が大きく向上する。単一のセンサ4からの出力を分割回路6にて分割するので、複数のセンサを用いる必要がなく、センサの位置合わせの手間から解放される。画像データDの分割領域B1～B4の境界部を互いに重複させたので、画

像データDの中間位置での処理不可能領域の発生を防止できる。

【0022】本実施例ではセンサ4からの画像データDを設計データと比較して試料3を検査したが、本発明の画像処理装置はこれに限るものではない。異なる応用例を図5、図6に示す。図5は試料3の異なる位置にあるパターン同士を比較する検査装置への応用例である。この例では、試料3上の基準とすべきパターンを撮影するときスイッチSWをb位置に切換えてセンサ4からの画像データをメモリ8Aに記憶させる。そして、比較対象のパターンを撮影するときはスイッチSWをa位置に切換えてセンサ4からの画像データを分割回路6に導くとともに、走査位置に対応するデータをメモリ8Aから分割回路9へ出力させ、分割回路6、9からの出力データを比較回路11～14で比較する。なお、メモリ8Aに画像データを取り込むためのセンサを別に設け、基準とすべきパターンと比較対象のパターンとを同時に撮影して比較してもよい。

【0023】図6は画像認識を行なう装置への応用例である。この例では、センサ4からの画像データを分割回路6Aにて互いの境界部が重複した2つのデータに分割する。分割したデータは特徴抽出回路16、17へ並列に出力し、これらの回路16、17では与えられたデータ中のエッジやコーナなどの特徴部分の抽出処理を並行して行なう。抽出された特徴部分に関する情報は特徴情報メモリ18に一旦記憶させ、CPU2Aで特徴情報からパターン認識を行なって結果を不図示の表示装置へ出力する。

【0024】以上の実施例と請求項との対応において、センサ4が撮像手段を、分割回路6、6Aが画像データ分割手段を、比較回路11～14および特徴抽出回路16、17が画像処理手段を、分割回路6の駆動制御部63がメモリ制御手段を、フレームメモリ8およびメモリ8Aが参照画像データ取り込み手段を、分割回路9が参照画像分割手段を構成する。センサ4はラインセンサに限らず、2次元の画像データを出力する撮像素子でもよい。

【0025】

【発明の効果】以上説明したように、本発明では、撮像手段から出力される画像データを画像データ分割手段で分割するので、複数の撮像手段を用いることなく画像データを高速で並列に処理することが可能となり、撮像手段の位置合わせ作業からも解放される。画像データの分

割領域の境界部が互いに重複するので、画像データの中間位置での処理不可能領域の発生が防止される。請求項2の装置では、メモリの出力領域および出力時期を制御するだけで簡単に画像データを互いの境界部が重複した複数の領域のデータに分割して並列に出力できる。請求項3の装置では、画像データ分割手段における画像データの入出力動作を並行して行ない得るので、撮像手段から画像データを周期的に出力させる場合の画像処理速度を大きく向上させることができる。請求項4の装置では、参照画像と撮影対象の画像データとの比較に基づく欠陥の有無を高速で判断できるので、半導体製造ラインなどに画像処理装置を組み込んで効率良く検査を行なうことができる。

【図面の簡単な説明】

【図1】本発明の一実施例の画像処理装置のブロック図。

【図2】図1の装置での画像データの分割を示す図で、(a)は一系列の画像データDの分割状態を、(b)は画像の分割状態を、(c)は画像データDを分割したブロックの重複領域を拡大した状態を示す。

【図3】画像データの分割状態の他の例を示す図。

【図4】図1の分割回路のメモリの構成を示す図。

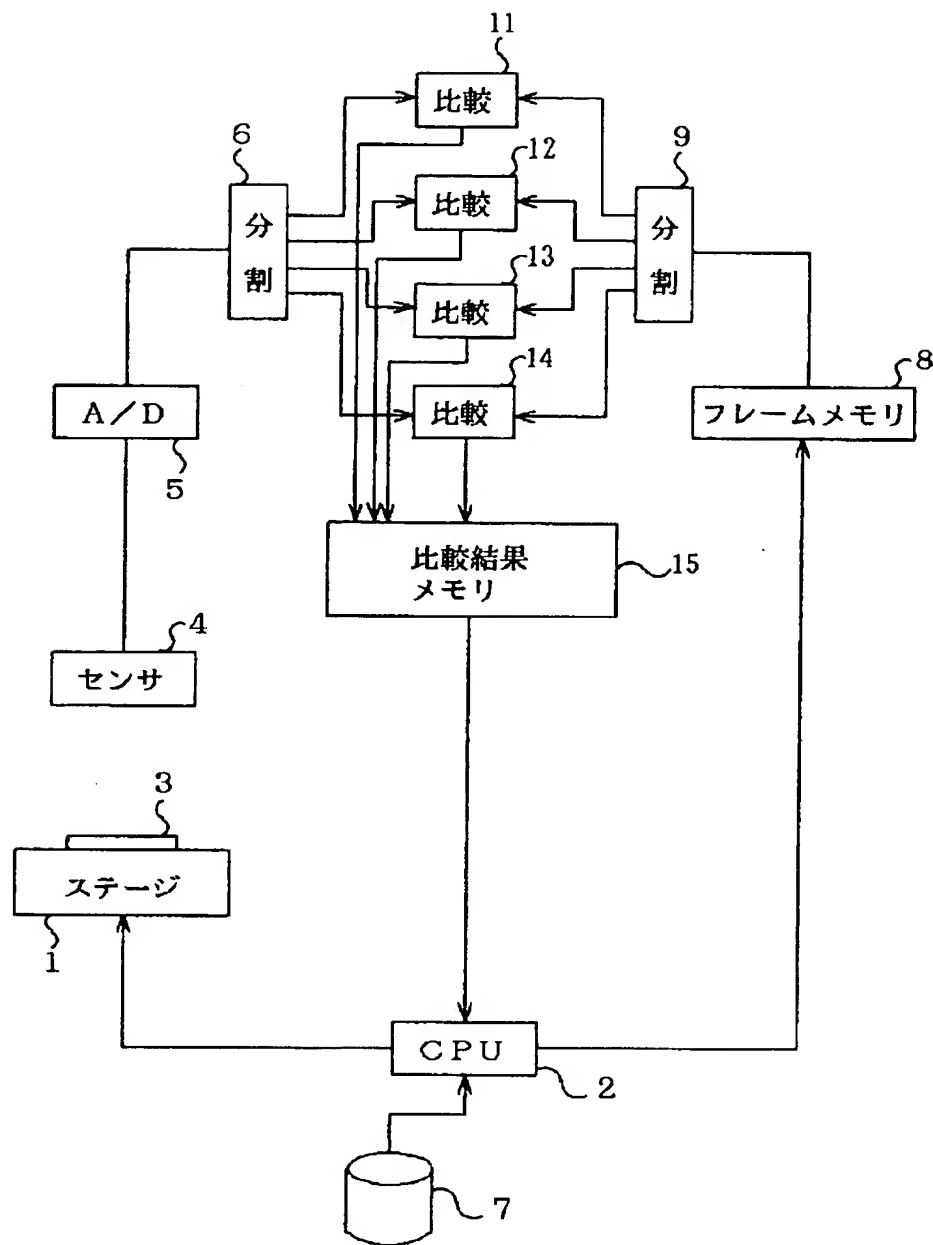
【図5】本発明の他の例を示す図。

【図6】本発明のさらに他の例を示す図。

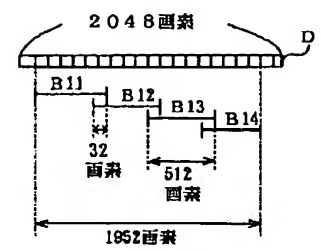
【符号の説明】

- 2 CPU
- 3 試料
- 4 センサ
- 6, 9 分割回路
- 8 フレームメモリ
- 8A メモリ
- 11, 12, 13, 14 比較回路
- 16, 17 特徴抽出回路
- 61 第1のメモリ群
- 62 第2のメモリ群
- 63 駆動制御部
- 611, 612, 613, 614 第1のメモリ群のメモリ
- 621, 622, 623, 624 第2のメモリ群のメモリ
- D 画像データ
- B1, B2, B3, B4 画像データを分割したブロック

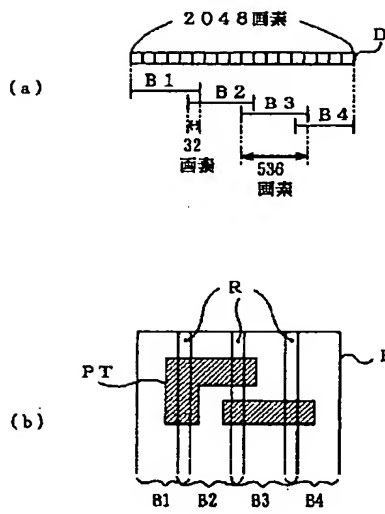
【図1】



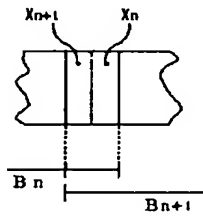
【図3】



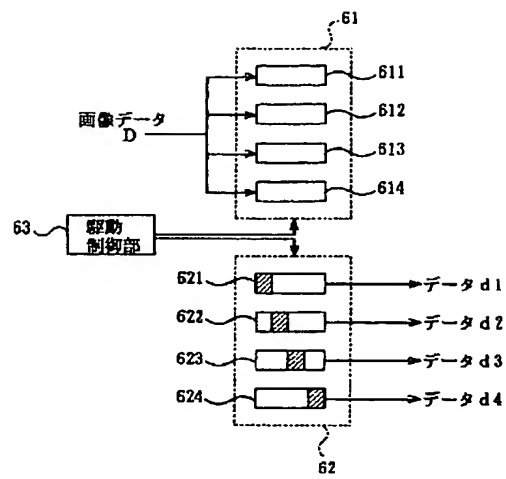
【図 2】



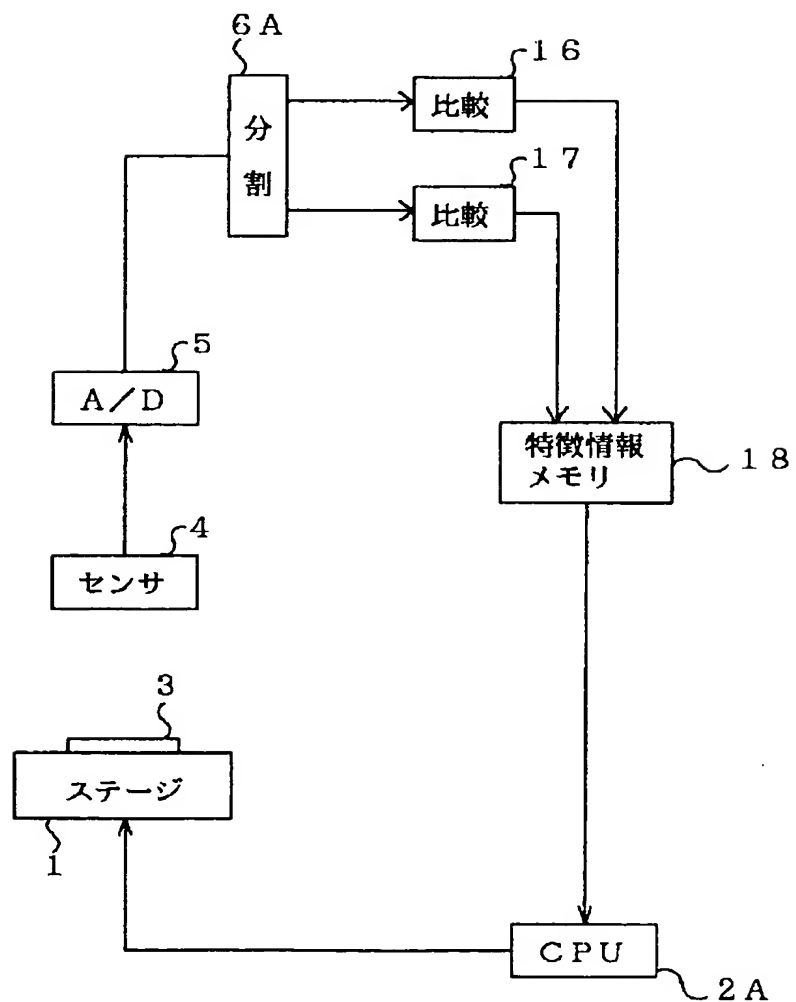
(c)



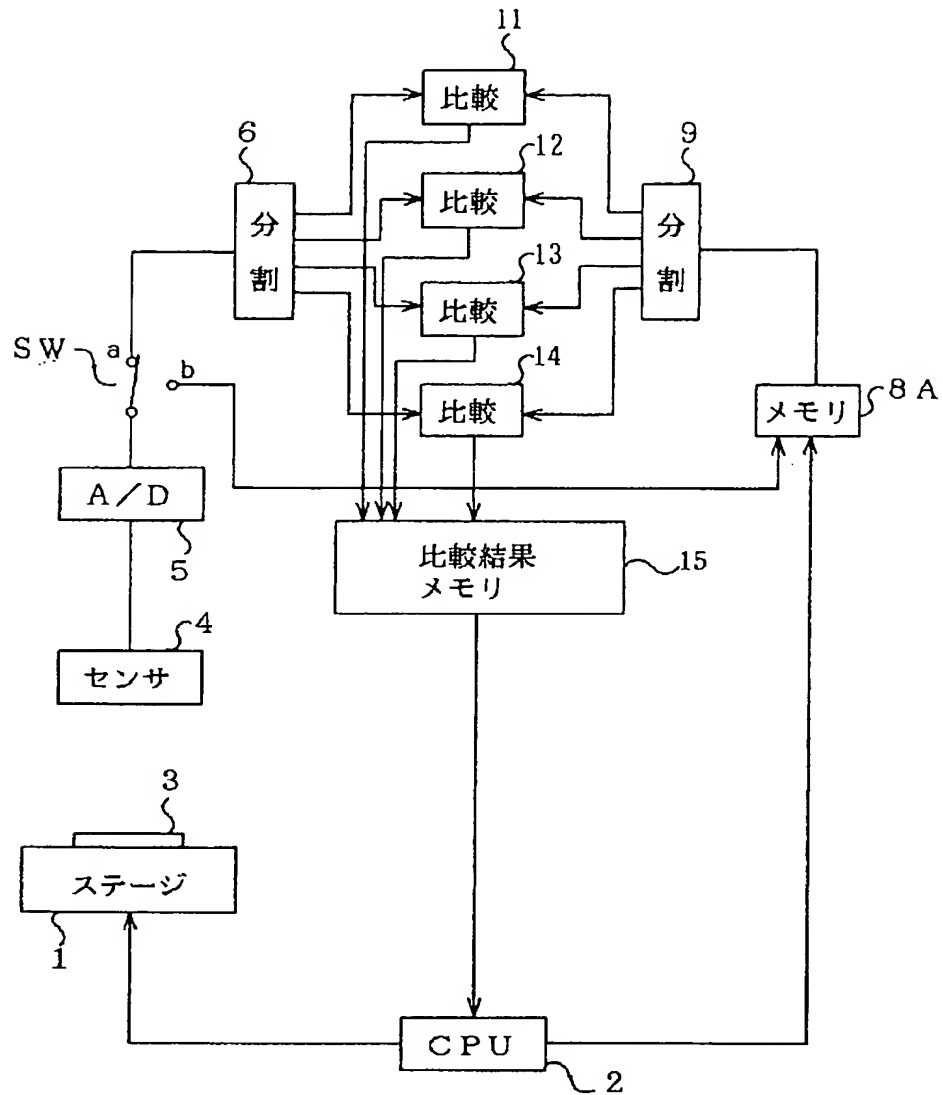
【図 4】



【図 6】



【図 5】



フロントページの続き

(51) Int. Cl. 5

// H 0 1 L 21/66

識別記号

庁内整理番号

F I

技術表示箇所

J 7630-4M